

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-296340

(43)Date of publication of application : 06.12.1990

(51)Int.Cl. H01L 21/336
H01L 29/784

(21)Application number : 01-117904

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 11.05.1989

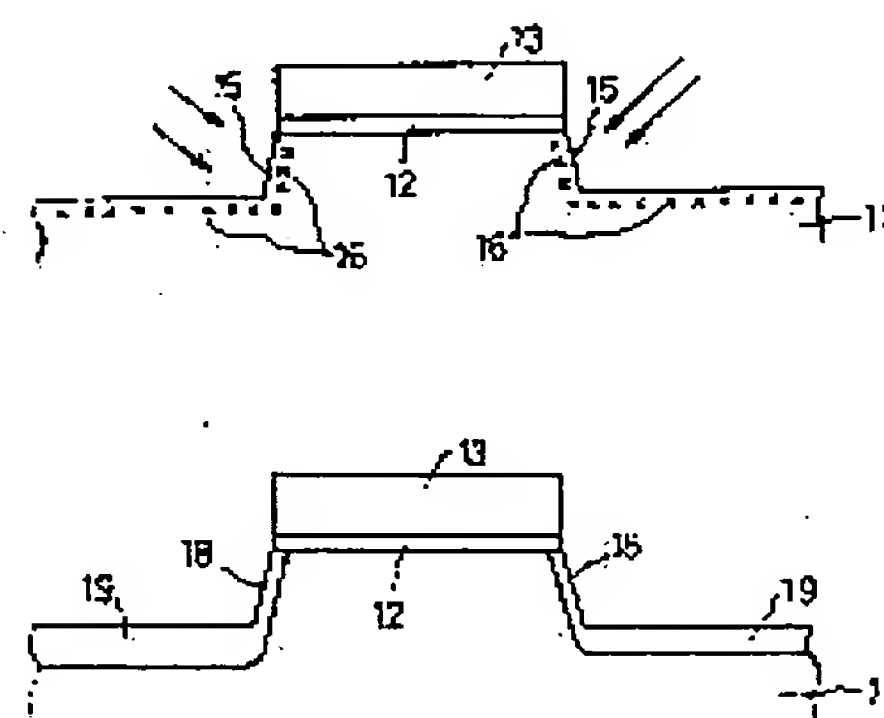
(72)Inventor : OBAYASHI YOSHIKAZU

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To omit side wall forming process, and prevent the decrease of performance and reliability caused by the irregularity of side wall width, by consisting a structure having a gentle impurity concentration distribution on the substrate side wall linking from the lower part of a gate to a source/drain.

CONSTITUTION: The surface of a substrate 11 is dug up to a specified depth so as to leave a gate insulating film 12 and a gate electrode 13 at a gate part; the side wall part 15 of a substrate is formed at the lower part of the gate insulating film 12; on the substrate surface part dug so as to link with said side wall part, a high concentration impurity diffusion layer 19 is formed in a source/drain part; a low concentration impurity diffusion layer 18 is formed, thereby constituting an LLD type structure imparted with a gentle impurity concentration distribution. As a result, the expected electric field relaxation can be realized similarly to the case of side wall. Thereby the remarkable simplification of manufacturing process is facilitated, the manufacturing cost can be reduced, and the stable performance and the reliability of a device are suitably and effectively improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-296340

⑬ Int. Cl.⁹

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)12月6日

H 01 L 21/336
29/784

8422-5F H 01 L 29/78 3 0 1 Z

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平1-117904

⑰ 出 願 平1(1989)5月11日

⑱ 発 明 者 大 林 由 和 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

第1導電型の半導体基板の主面上に、パターンニング成形されたゲート電極をマスクにして、前記半導体基板の表面部を所定深さに掘り込み、ゲート電極の下方に基板側壁部を露出させる工程と、前記露出された基板側壁部、および掘り込まれた基板表面部に、第2導電型の低濃度不純物注入層を形成させる工程と、主として前記掘り込まれた基板表面部に、再度、第2導電型の高濃度不純物注入層を形成させる工程とを、少なくとも含むことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、半導体装置の製造方法に関し、さらに詳しくは、MOS型半導体集積回路装置におけるLDD型MOSトランジスタの製造方法の改良に係るものである。

(従来の技術)

従来例によるこの種のLDD型MOSトランジスタの製造方法の主要な工程を第2図(a)ないし(f)に示す。

すなわち、この第2図従来例装置の構成において、符号1はp型のシリコン半導体基板を示し、また、2および3はこの半導体基板1の主面上にパターンニング成形して選択的に形成させたMOSトランジスタのゲート絶縁膜およびゲート電極、4はこのゲート電極3をマスクに用い、前記基板表面部上に不純物を選択的にイオン注入してなるn⁺型の不純物注入層、5はこれらの上部を覆うようにして全面に堆積させたサイドウォール形成のための絶縁膜などによる成膜層、6はこの成膜層5をエッチング成形して前記ゲート絶縁膜2およびゲート電極3の側面部に設けられたサイドウォールであり、さらに、7はこのサイドウォール6をマスクに用い、前記n⁺型の不純物注入層4の形成部分に合せて、同様に基板表面部上に不純物を選択的にイオン注入してなるn⁺型の不純物注入層、

8 および 9 はこれらを熱処理して活性化させたゲート部でのサイドウォール 6 の直下の n^- 型の不純物拡散層および MOS トランジスタのソース・ドレイン部となる基板表面部の n^+ 型の不純物拡散層である。

次に、この従来例装置の製造については、第 2 図 (a) ないし (f) に示されているように、 p 型のシリコン半導体基板 1 の主面上にあつて、まず、これを熱酸化処理して薄い酸化膜を形成させた上で、CVD 法などによつてポリシリコン膜を堆積させ、かつこれらを写真製版法、エッチング法により選択的にパターニング成形してゲート絶縁膜 2 およびゲート電極 3 をそれぞれに形成させる（第 2 図 (a)）。

ついで、前記ゲート電極 3 をマスクに用い、前記基板表面部上に、例えば、燐などの n 型不純物を選択的かつ低濃度にイオン注入して n^- 型の不純物注入層 4 を形成させ（同図 (b)）、その後、CVD 法などを用い、これらの全面を覆うようにしてサイドウォール形成のための絶縁膜などの成膜層 5 を

3

こゝで、前記のようにして製造される従来構成の LDD 型 MOS トランジスタにおいては、ゲート電極 3 をマスクに用いた n 型不純物の選択的イオン注入によつて n^- 型の不純物注入層 4 を形成させた上で、これらのゲート絶縁膜 2 およびゲート電極 3 の側面部にサイドウォール 6 を設け、このサイドウォール 6 をして、その後の n^- 型の不純物注入層 4 に合せた n^+ 型の不純物注入層 7 のための形成マスクに用いるようにしている。

従つて、この従来例方法の場合には、前記サイドウォール 6 の形成工程が不可欠のものとされ、このサイドウォールの形成のために、絶縁膜成膜装置および異方性エッチング装置をそれぞれに必要とするほか、その形成工程自体についても、極めて煩雑化することを免れず、コスト高を招くと云う不利がある。

また一方で、この種の LDD 型 MOS トランジスタにおいては、電流駆動力および電界緩和度などの性能がサイドウォール幅に大きく依存することが知られているが、こゝでは、実際に成膜されるサ

堆積させ（同図 (c)）でから、リアクティブイオンエッチング (RIE) 法などにより、この成膜層 5 を異方性エッチングすることで前記ゲート絶縁膜 2 およびゲート電極 3 を通した側面部にサイドウォール 6 を設ける（同図 (d)）。

さらにまた、前記サイドウォール 6 をマスクに用い、前記基板表面部上での n^- 型の不純物注入層 4 の形成部分に合せるようにして、例えば、砒素などの n 型不純物を選択的かつ高濃度にイオン注入して n^+ 型の不純物注入層 7 を形成させ（同図 (e)）、最後に、熱処理を行なうことにより、これらの n^- 型の不純物注入層 4 および n^+ 型の不純物注入層 7 を活性化させて、ゲート部でのサイドウォール 6 の直下の n^- 型の不純物拡散層 8 および MOS トランジスタのソース・ドレインとなる基板表面部の n^+ 型の不純物拡散層 9 をそれぞれに形成させ（同図 (f)）るもので、以上の各工程を経て、所期通りの LDD 型構造による MOS トランジスタを得るのである。

（発明が解決しようとする課題）

4

イドウォール自体が、成膜時における膜厚の変動とか、エッチング時でのエッチング量の変動などのために、そのウォール幅が変化し易くて、先の電流駆動力および電界緩和度などにバラツキを生じ、これがアクセス時間などの性能および低温バイアスシフトなどの信頼性を低下させる原因となるものであつた。

この発明は、従来のこのような問題点を解消するためになされたもので、その目的とするところは、LDD 型構造でのサイドウォール形成工程を省略し、これに代えて、MOS トランジスタのゲート部とソース・ドレイン部との間になだらかな不純物濃度分布の基板側壁部を形成させ、これによつて従来のようなサイドウォール幅のバラツキに起因する装置の性能および信頼性低下などを阻止し得るようにした、この種の半導体装置の製造方法を提供することである。

（課題を解決するための手段）

前記目的を達成するために、この発明に係る半導体装置の製造方法は、ゲート絶縁膜およびゲ

5

6

ト電極のパターニング成形後、このゲート電極をマスクにゲート絶縁膜下部の基板面を選択的エッチングにより掘り込んで基板側壁部を形成させ、この基板側壁部に低濃度不純物拡散層を、かつ掘り込まれた基板面にソース・ドレイン部となる高濃度不純物拡散層をそれぞれに形成させるようにしたものである。

すなわち、この発明は、第1導電型の半導体基板の主面上に、パターニング成形されたゲート電極をマスクにして、前記半導体基板の表面部を所定深さに掘り込み、ゲート電極の下方に基板側壁部を露出させる工程と、前記露出された基板側壁部、および掘り込まれた基板表面部に、第2導電型の低濃度不純物注入層を形成させる工程と、主として前記掘り込まれた基板表面部に、再度、第2導電型の高濃度不純物注入層を形成させる工程とを、少なくとも含むことを特徴とする半導体装置の製造方法である。

(作 用)

従つて、この発明方法の場合には、LDD型 MOS

7

せた MOSトランジスタのゲート絶縁膜およびゲート電極、15は同様に前記フォトレジスト14をマスクに用い、前記半導体基板11をさらに選択的エッチングにより掘り込んで形成させたゲート絶縁膜12の下部に連なるそれぞれに基板側壁部であり、さらに、16は前記ゲート絶縁膜12およびゲート電極13をマスクに用い、回転イオン注入法により、前記基板側壁部15を含んで掘り込まれた基板表面部上に不純物を選択的にイオン注入してなる n^- 型の不純物注入層、17はこの掘り込まれた基板表面部上での n^- 型の不純物注入層16の形成部分に合せて、再度、同様にこの基板表面部上に不純物を選択的にイオン注入してなる n^+ 型の不純物注入層、18および19はこれらを熱処理により活性化させてなるところの、ゲート部下方での基板側壁部15の表面部の n^- 型の不純物拡散層、および掘り込まれた基板表面部上での MOSトランジスタのソース・ドレインとなるそれぞれに n^+ 型の不純物拡散層である。

次に、この実施例装置の製造については、第1

9

トランジスタにおいて、従来方法でのサイドウォールを用いることなしに、ゲート部の下方からソース・ドレイン部に連なる基板側壁部になだらかな不純物濃度分布を与えた LDD型構造を形成させているので、このサイドウォールの形成工程を省略できて、従来のようなサイドウォール幅のバラツキに起因する装置の性能および信頼性低下などを阻止し得るのである。

(実 施 例)

以下、この発明に係る半導体装置の製造方法の一実施例につき、第1図を参照して詳細に説明する。

第1図(a)ないし(e)はこの実施例を適用した LDD型 MOSトランジスタの製造方法の主要な工程を順次模式的に示すそれぞれに断面図である。

すなわち、この第1図実施例装置の構成においても、符号11は p型のシリコン半導体基板を示し、また、12および13はこの半導体基板11の主面上にあつて、写真製版法で得たフォトレジスト14をマスクにパターニング成形して選択的に形成さ

8

図(a)ないし(e)に示されているように、p型のシリコン半導体基板11の主面上にあつて、まず、これを熱酸化処理して薄い酸化膜を形成させ、かつこれに続いて、CVD法などによりポリシリコン膜を堆積させた上で、これらを写真製版法で得たフォトレジスト14をマスクに用い、選択的にエッチング成形させることによつて、所要のゲート絶縁膜12およびゲート電極13をそれぞれに形成させ(第1図(a))ると共に、これらのゲート絶縁膜12およびゲート電極13をそれぞれに残したまま、同一のフォトレジスト14のマスクで、さらに、前記半導体基板11の表面部を例えば $0.2 \sim 0.5 \mu m$ 程度の深さまで選択的にエッチングして掘り込むことにより、基板側壁部15をそれぞれに露出させる(同図(b))。

ついで、前記ゲート絶縁膜12およびゲート電極13をマスクに用い、前記露出された基板側壁部15を含む半導体基板11の掘り込まれた表面部上に、回転イオン注入法により、 $30 \sim 60$ 程度の注入角度で、例えば、燐などの n 型不純物を選択的かつ低

10

濃度にイオン注入して n^+ 型の不純物注入層16を形成させ(同図(c))、さらに今度は、主として前記半導体基板11の掘り込まれた表面部での n^+ 型の不純物注入層16の形成部分に合せて、通常のイオン注入法により、例えば、砒素などの n 型不純物を再度、選択的かつ高濃度にイオン注入して n^+ 型の不純物注入層17を形成させ(同図(d))、最後に、熱処理を行なうことにより、これらの n^+ 型の不純物注入層16および n^+ 型の不純物注入層17を活性化させて、ゲート部下方での基板側壁部15の表面部の n^+ 型の不純物拡散層18、および掘り込まれた基板表面部でのMOSトランジスタのソース・ドレインとなる n^+ 型の不純物拡散層19をそれぞれに形成させ(同図(e))るもので、以上の各工程を経て、所期通りに、ゲート部の下方からソース・ドレイン部に連なる基板側壁部になだらかな不純物濃度分布を与えたLDD型構造によるMOSトランジスタを得るのである。

従つて、この実施例方法の場合には、ゲート電極13を有するゲート部でのゲート絶縁膜12の下部

1 1

ース・ドレイン部での高濃度不純物拡散層を形成させると共に、基板側壁部に低濃度不純物拡散層を形成させて、なだらかな不純物濃度分布を与えたLDD型構造を構成させているので、サイドウォールの場合と同様に、所期通りに電界の緩和を図り得るもので、これによつて従来例方法におけるサイドウォールの形成工程を省略できることになり、従来のようなサイドウォール形成のための成膜装置、異方性エッチング装置などを全く必要とせず、その製造工程の大幅な簡略化が容易に可能となつて、製造コストを低減でき、また、基板側壁部に形成される低濃度不純物拡散層での幅のバラツキなどについては、単にこの基板側壁部のエッチング量のみ依存するだけであるために、従来のようなサイドウォールの場合とは異なつて、装置の安定した性能および信頼性などを良好かつ効果的に向上させ得るなどの優れた特長を有するものである。

4. 図面の簡単な説明

第1図(a)ないし(e)はこの発明の一実施例を

1 3

にあつて、基板表面部に掘り込まれたソース・ドレイン部での n^+ 型の不純物拡散層19に連なるようにして基板側壁部15を設け、この基板側壁部15に n^+ 型の不純物拡散層18を形成させて、なだらかな不純物濃度分布を与えたLDD型構造としてあるために、従来例方法におけるサイドウォールの形成工程を省略できて、製造工程の大幅な簡略化が可能になり、また、 n^+ 型の不純物拡散層18での幅のバラツキは、単に基板側壁部15のエッチング量のみ依存することになつて、従来のようなサイドウォール幅のバラツキに起因する装置の性能および信頼性低下などを良好かつ効果的に抑制し得るのである。

(発明の効果)

以上詳述したように、この発明方法によれば、LDD型構造によるMOSトランジスタにおいて、ゲート部でのゲート絶縁膜およびゲート電極を残して基板表面部を所定深さに掘り込んで、ゲート絶縁膜の下部に基板側壁部を設けておき、この基板側壁部に連なつて掘り込まれる基板表面部に、ソ

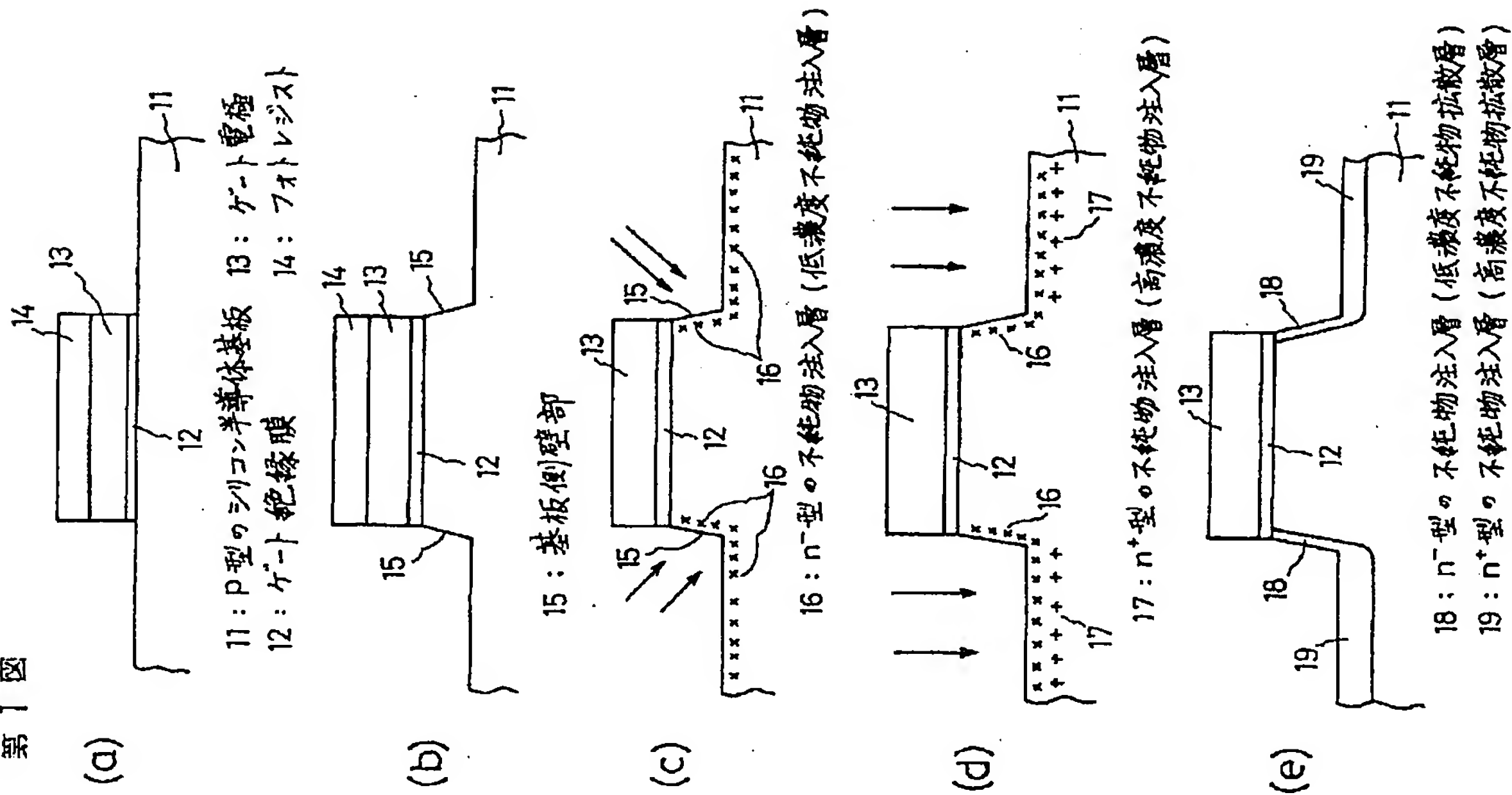
1 2

適用したLDD型MOSトランジスタの製造方法の主要な工程を順次模式的に示すそれぞれに断面図であり、また、第2図(a)ないし(f)は従来例による同上LDD型MOSトランジスタの製造方法の主要な工程を順次模式的に示すそれぞれに断面図である。

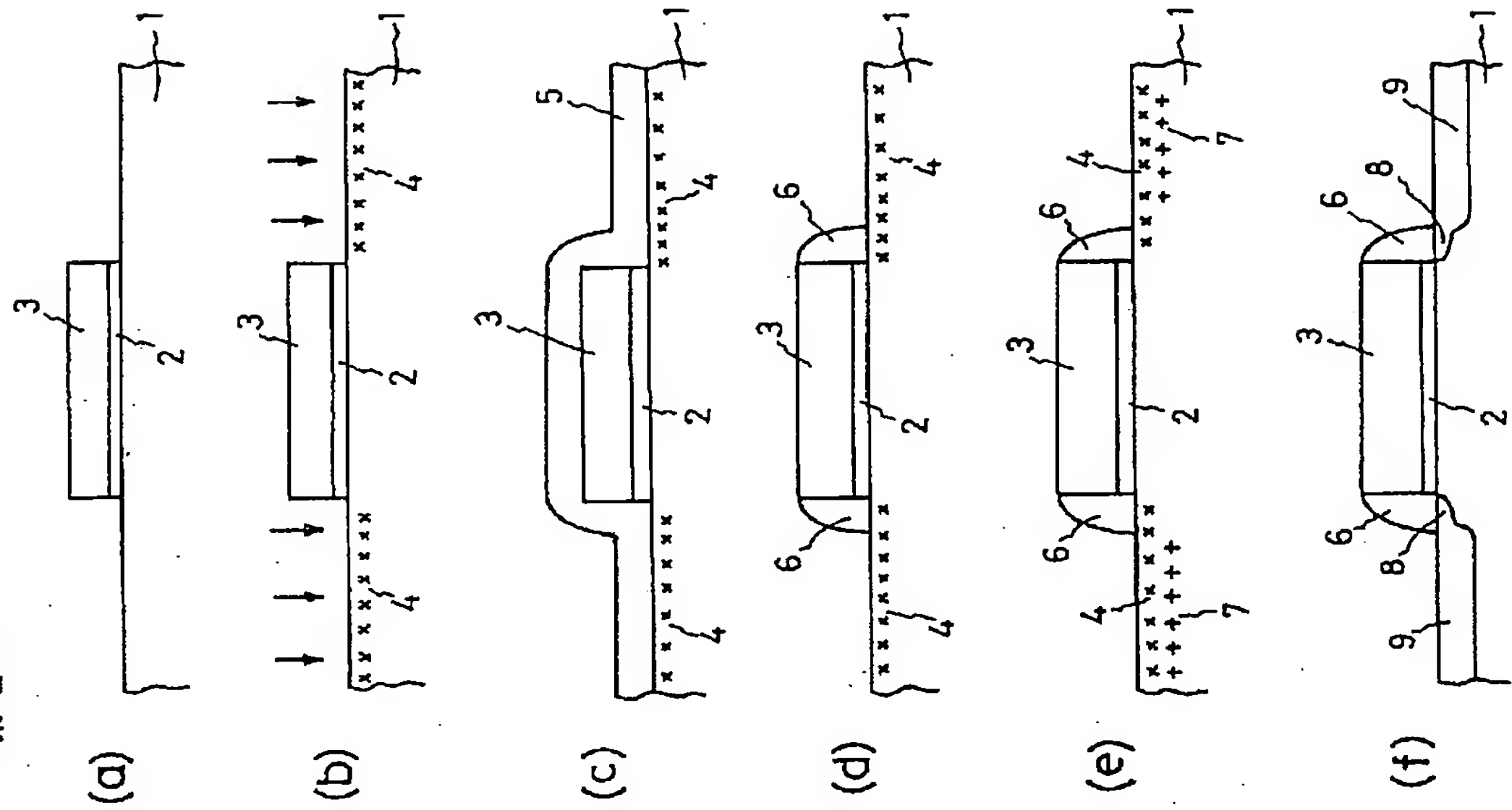
11... p 型のシリコン半導体基板、12...ゲート絶縁膜、13...ゲート電極、14...フォトレジスト、15...基板側壁部、16... n^+ 型の不純物注入層(低濃度不純物注入層)、17... n^+ 型の不純物注入層(高濃度不純物注入層)、18... n^+ 型の不純物注入層(低濃度不純物拡散層)、19... n^+ 型の不純物注入層(高濃度不純物拡散層)。

代理人 大 岩 増 雄

第1図



第2図



THIS PAGE BLANK (USPTO)